

明細書

F E D 制御回路

5

技術分野

この発明は、電界放出型ディスプレイ（以下「F E D」と略す）の制御回路、より詳しくは、カーボンナノチューブ（以下「C N T」と略す）を用いる F E D の電極を制御する F E D 制御回路に関する。

10

背景技術

F E D は、多数のブラウン管を配列したブラウン管集合体と等価であることから、各ブラウン管すなわち各画素を制御するのに例えば特許文献 1 に記載されているような C R T の
15 制御回路を適用することが考えられる（特開 2 0 0 0 - 1 2 3 7 5 8 号公報参照）。

特許文献 1 に記載のカソード電極およびグリッド電極は、いずれも高電圧とされており、これを F E D に適用した場合には、スイッチング時のノイズ、高耐圧スイッチ使用による
20 コスト増、大型化などの問題があり、その対策が課題となる。

また、F E D においては、個々のエミッタが多数本の C N T からなることから、その特性のばらつきが大きくなりやすく、また、カソード電極、ゲート電極などの特性にもばらつきがあることから、電子ビームの放電特性に差が出て、各画
25 素の輝度が異なる輝度ムラが発生するという問題がある。輝度ムラは、個々のアノード電極とカソード電極間の放電電圧

が異なることに起因しており、アノード電極とカソード電極との間に与える電圧を調整し、放電特性を揃えて輝度ムラを抑えることも課題となっている。

この発明は、F E D素子の特性のバラツキを補正して、F E Dの輝度ムラを抑えるとともに、高電圧用制御部品の使用を少なくすることにより、F E Dの低ノイズ化、小型化、低コスト化を可能としたF E D制御回路を提供することを目的とする。

10 発明の開示

この発明によるF E D制御回路は、マトリクス状に配列された複数のカソード電極およびゲート電極と、カソード電極およびゲート電極の交点にそれぞれ配置されたエミッタと、カソード電極に対向するように設けられた蛍光体およびアノード電極とを備えている電界放出型ディスプレイの各電極の電圧を制御するF E D制御回路において、カソード電極からの電子放出が均一となるようにカソード電極を制御するカソード電圧制御部と、ゲート電極の電圧を映像信号に応じて変化させるゲート電極駆動部とを備えて、F E D素子の特性のバラツキを補正することを特徴とするものである。

カソード電極の電圧は、仕事関数に相当する電圧よりもわずかに大きい程度の一定電圧（ただし、各画素間のばらつきは存在する）とされ、ゲート電極の電圧は、映像信号に応じて変化する最低限の制御電圧とされる。また、アノード電極は、一定電圧（基準電圧）とされる。したがって、エミッタには、（カソード電極の電圧 V_c + ゲート電極の電圧 V_g

(t)) が印加され、必要な電子が放出される。電子の速度は、ゲート電極の電圧に相当する程度であり小さいものであるが、F E D では、カソード電極とアノード電極との間の距離が小さいため、この電圧でも十分に蛍光体を発光させることができる。

この発明の F E D 制御回路によると、カソード電圧を制御することにより放電特性を揃えて F E D の輝度ムラを抑制することができ、しかも、ゲート電極の電圧を映像信号に応じて変化する最低限の制御電圧にすることができるので、高電圧のカソード電圧に映像信号を重ね合わせてカソード電極に入力し、ゲート電極（グリッド電極）にも高電圧を流すようにしたもの比べて、カソード電極の高電圧制御が不要となるとともに、ゲート電極の低電圧化が可能となり、F E D の低ノイズ化、小型化、低コスト化が可能となる。

カソード電圧制御部は、例えば、コンデンサを定電流で充電するとともに、充電時間を制御することによりカソード電圧を決定するものとされる。このようにすると、高圧定電圧回路を使用せずにカソード電圧の制御を行うことができ、高応答性、カソード毎の基準電圧の廃止、スパイク雑音の除去等が実現され、また、簡素化された構成が得られる。カソード電極を O F F にするには、コンデンサをアースしてコンデンサ電圧を開放することにより、カソード電極をリフレッシュすればよい。

カソード電圧制御に際しては、コンデンサの充電時間は、パルス幅によって制御されていることが好ましい。パルス幅発生部は、例えば、パルス幅のテーブルメモリーを引き出す

アドレスカウンタと、パルス幅のテーブルメモリと、パルス幅を決めるパルス幅決定用カウンタと、コンパレータと、制御ゲートとを有しているものとされる。

カソード電圧制御部（CVC）は、より具体的には、例えば、カソード電極選択とパルス幅との論理積回路（第1論理積回路）と、第1論理積回路の出力を反転する反転回路と、カソード電極選択とリフレッシュとの論理積回路（第2論理積回路）と、定電流充電の動作の可否を決める動作可否判定用半導体と、カソード電圧をリセットするリセット用半導体
10 と、定電流充電制御用半導体と、カソード電圧保持用半導体と、カソード電流の上限を決める上限値設定用半導体と、コンデンサ充電用の定電流源と、カソード電圧の充放電コンデンサとを有しているものとされる。

コンデンサ電圧は、定電流を流す時間に比例して増加するので、時間を制御することにより、コンデンサ電圧を所定値
15 とすることができる。したがって、この充電時間を各画素毎に微調整することにより、画素の輝度を揃えることができる。しかも、パルスは、シリアル的に与えることができるので、構造も簡単なものとできる。こうして、容易に各カソード電
20 極を制御することが可能となり、輝度を揃えることができる。

ゲート電極駆動部は、コンプリメント接続によってゲート電極のON/OFF制御を行うものであることが好ましい。FEDでは、1つのカソード電極に多数のゲート電極が存在していることから、ゲート電極に映像信号が共通で与えられ
25 ると、カソード電極上の全ゲート電極が動作して電子放出が起こり、直線発光となるので、選択されたゲート電極以外の

電子放出を起こさせない（すなわち、点発光とするための）ゲート電極駆動が必要となる。そこで、ゲート駆動回路の電源または映像信号をON/OFFして、ゲート電極の選択が行われるが、従来のように高電圧下で行おうとすると、高耐
5 圧の半導体スイッチがゲート電極数必要となり、電磁雑音の発生につながる。コンプリメント接続によってゲート電極のON/OFF制御を行うと、ゲート電極の選択がベース接地の半導体の作動・非作動で行われるので、ベース接地作動電源の制御となり、低圧での制御が可能となる。これにより、
10 高耐圧の半導体スイッチを多数使用することに伴う電磁雑音の発生を防止することができる。

ゲート電極駆動は、映像増幅用半導体と直列にベース接地の半導体を接続して、その半導体の出力を映像増幅用半導体と極性の異なる半導体に接続した構成とされ、ゲート電極の
15 選択はベース接地の半導体を制御させることで行われる。ゲート電極駆動部は、より具体的には、映像増幅用半導体と、ゲート選択制御用半導体と、ベース接地の半導体と、映像増幅用半導体と極性の異なるコンプリメント接続形成用半導体とを有しているものとされる。

20 上記のFED制御回路によると、ゲート電極に映像信号が入力されるので、ゲート電極毎のばらつきが重要となってくることから、ゲート電極毎のばらつきをデータテーブルにより連続的に補正する特性補正部をさらに備えている構成とし、各ゲート毎の補正を行うことがより好ましい。この補正
25 は、明るさを実際に測定するかまたはアノードにおける電流を測定し、得られたデータをデータテーブルとしてメモリに

保存し、各ゲート電極にデータに応じた補正值を与えることにより可能となる。

図面の簡単な説明

5 図 1 は、この発明による F E D 制御回路が使用されている電界放出型ディスプレイを模式的に示す斜視図である。

図 2 は、同カソード電極の幅方向に沿う断面図である。

図 3 は、同ゲート電極の幅方向に沿う断面図である。

図 4 は、この発明による F E D 制御回路を示すブロック図
10 である。

図 5 は、同タイムチャートである。

図 6 は、F E D 制御回路のカソード電圧制御部を示す回路図である。

図 7 は、同タイムチャートである。

15 図 8 は、F E D 制御回路のパルス幅発生部を示す回路図である。

図 9 は、同タイムチャートである。

図 10 は、F E D 制御回路のゲート電極駆動部を示す回路図である。

20 図 11 は、同タイムチャートである。

図 12 は、F E D 制御回路の特性補正部を示すブロック図である。

図 13 は、カソード電流測定法の一例を示す回路図である。

25 発明を実施するための最良の形態

この発明の実施の形態を、以下図面を参照して説明する。

図 1 から図 3 までは、この発明による F E D 制御回路が使用される F E D（電界放出型ディスプレイ）を示している。

F E D は、ベース基板 (1) 上にマトリクス状に配列されたカソード電極 (2) およびゲート電極 (3) と、カソード電極 (2) とゲート電極 (3) との間に介在された絶縁体 (4) と、カソード電極 (2) とゲート電極 (3) とが交差した箇所に配置されてカソード電極 (2) に接続された C N T（カーボンナノチューブ）のエミッタアレイ (5) と、表面基板 (6) 上に設けられたアノード電極 (7) および発光用蛍光体 (8) と、アノード電極 (7) にアノード電源を印加するアノード電源電圧 (9) と、カソード電極 (2) にカソード電圧制御部 (10) を介してカソード電圧を印加するカソード電源電圧 (11) と、ゲート電極 (3) にゲート電圧を印加するゲート電極駆動部 (12) とを備えている。

F E D の発光動作は、カソード電極 (2) 上に配置された C N T のエミッタアレイ (5) から放出された電子ビーム (13) をゲート電極 (3) で制御して（輝度信号を与えて）、アノード電極 (7) 上の蛍光体（R、B および G の 3 色）(8) に照射して発光させるもので、この動作は、ブラウン管と等価な特性を有しており、F E D は、微細なブラウン管の集合体と類似の構成となっている。

図 4 は、この発明による F E D 制御回路の構成例を示し、図 5 は、この発明による F E D 制御回路の簡易タイムチャートを示している。

図 4 において、(14) は、C N T－F E D パネルを示しており、F E D 制御回路は、カソード電極を選択するロウカウンタ (21) およびロウデコーダ (22) と、これらを制御するロウ制

御ゲート(23)と、カソード電圧制御部(CVC)(10)と、パルス幅(Tw)発生部(24)と、ゲート電極を順に選択するカラムカウンタ(25)およびカラムデコーダ(26)と、これらを制御するカラム制御ゲート(27)と、ゲート電極駆動部(GED)(12)と、特性補正部(28)とを備えている。

アノード電極とカソード電極間の電圧制御は、アノード電極とカソード電極間の印加電圧を分割して、アノード電圧とカソード電圧とし、カソード電圧を制御するようになされている。カソード電圧制御線およびリフレッシュ線は、共にシリアル線で構成され、データ(映像信号)は、並列接続状態とされている。

図4に示したFED制御回路の動作は、次のようになる。

ロウカウンタ(21)およびロウデコーダ(22)でカソード電極を選択し、カソード電圧を調整する。そのカソード電圧の状態を図5(b)に示す。選択されたカソード電極は、水平走査線となる。これに、カラムカウンタ(25)およびカラムデコーダ(26)でゲート電極を順に選択する。カラム走査を図5(a)に示す。選択されたゲート電極には、映像信号が入力されている。映像信号を図5(a)に示す。これにより、映像信号に対応した電子ビーム放出が起こり、FEDが発光する。

上記のFED制御回路において、ロウカウンタ(21)、ロウデコーダ(22)、ロウ制御ゲート(23)、カラムカウンタ(25)、カラムデコーダ(26)およびカラム制御ゲート(27)は、通常の構成であり、以下では、本発明の特徴部であるカソード電圧制御部(CVC)(10)、パルス幅(Tw)発生部(24)、ゲ-

ト電極駆動部（GED）（12）および特性補正部（28）について詳述する。

図6は、FED制御回路のカソード電圧制御部（CVC）（10）の実施例を示し、図7は、その動作を表したタイムチャートを示している。

カソード電圧の制御原理は、コンデンサを定電流で充電するとともに、充電時間を制御することによりカソード電圧を決定するものである。コンデンサの充電電圧（ V_c ）は、次式で示される。

$$V_c = (1/C) \int I dt \quad (V) \quad \dots (1)$$

ここで、 C ：コンデンサ容量、 I ：充電電流、 t ：充電時間
そして、定電流で充電を行うと次のようになる。

$$V_c = (1/C) I t \quad (V) \quad \dots (2)$$

つまり、充電電圧は充電時間（ t ）に比例することになる。

したがって、充電時間（ t ）をパルスで与えて、パルスの時間幅を制御することにより、カソード電圧制御が行える。

図6に示すように、カソード電圧制御部（CVC）（10）は、カソード電極選択とパルス幅との論理積回路（第1論理積回路）（31）と、第1論理積回路（31）の出力を反転する反転回路（32）と、カソード電極選択とリフレッシュとの論理積回路（第2論理積回路）（33）と、定電流充電の動作の可否を決める動作可否判定用半導体（34）と、カソード電圧をリセットするリセット用半導体（35）と、定電流充電制御用半導体（36）と、カソード電圧保持用半導体（37）と、カソード電流の上限を決める上限値設定用半導体（38）と、コンデンサ充電用の定電流源（39）と、カソード電圧の充放電コンデンサ（40）と、カソード

電流測定用出力であるカソード電流検出端子(41)とを備えている。

この動作は、次のようになる。

- まず、垂直同期信号と水平同期信号との組合せにより、カ
5 ソード選択を行う。そして、水平同期信号に同期させて、リ
フレッシュを第2論理積回路(33)に入力する。すると、リセ
ット用半導体(35)が作動して、充放電コンデンサ(40)が短絡
され、保持されていたカソード電圧が放電してカソード電圧
はゼロ(V)となる。次に、所定のカソード電圧に比例した
10 パルス幅(Tw)を第1論理積回路(31)に入力する。既にカ
ソード選択は行われているので、第1論理積回路(31)からパ
ルス幅(Tw)が出力されて、反転回路(32)を通過して動作
可否判定用半導体(34)に至る。すると、同半導体(34)が遮断
され、定電流充電制御用半導体(36)が作動して、定電流源(39)
15 からの電流で充放電コンデンサ(40)が充電される。そして、
コンデンサ(40)の充電電圧は、カソード電圧保持用半導体
(37)を駆動させてカソード電圧を発生させる。この際、電流
制限回路としての上限値設定用半導体(38)によって、カソー
ド電流の上限が決められる。
- 20 以上の動作を繰り返すことで、カソード電圧の制御が行わ
れる。

この特徴は、次のようになる。

- (1) カソード電圧制御は、コンデンサの充電時間をパルス
幅で制御することで行える。
- 25 (2) FED素子の特性のバラツキ(例えば、カソード電圧
の変動幅が20%のバラツキ)の補正もパルス幅を操作する

ことで、容易に行える。

(3) パルス幅で制御するので、制御線はシリアルとなり、構成が簡素化される。したがって、電圧制御用基準電圧が不要となる。

- 5 (4) コンデンサは、放電をさせた後に充電させる動作のために、選択されていないカソード電極には、カソード電圧が印加されない。

(5) カソード電圧の保持は、水平同期信号間なので小容量の充放電コンデンサでよい。

- 10 次いで、図8および図9を参照して、カソード電圧に比例させたパルス幅を発生させる手段の一例について説明する。図8は、パルス幅(T_w)発生部(24)の構成を、図9は、その動作を表したタイムチャートを示している。

- 15 パルス幅(T_w)発生部(24)は、図8に示すように、パルス幅のテーブルメモリー(52)を引き出すアドレスカウンタ(51)と、パルス幅のテーブルメモリー(52)と、パルス幅を決めるパルス幅決定用カウンタ(53)と、コンパレータ(54)と、制御ゲート(55)とを有している。

この動作は、次のようになる。

- 20 水平同期信号と連動して、アドレスカウンタ(51)を作動するとともに、カソード電圧のリセット用リフレッシュ信号を発生させる。すると、アドレスカウンタ値に対応したパルス幅データがテーブルメモリー(52)から出力され、コンパレータ(54)に入力される。そして、パルス幅決定用カウンタ(53)
25 を作動させる。このカウンタ(53)の出力は、コンパレータ(54)に接続されているので、パルス幅データとカウンタ値が同じ

になれば、一致信号を制御ゲート(55)に出力する。制御ゲート(55)は、パルス幅決定用カウンタ(53)と同期させて作動させているので、この一致信号で作動を停止させる。つまり、この動作時間がパルス幅となる。この動作を繰り返すことにより、カソード電圧制御用パルス幅が得られる。

上記のカソード電圧制御用パルス幅は、カソード電圧を制御して各々のカソード電極から流れるカソード電流を揃えるために、次のようにして決定される。

放電が発生する既知の電圧を初期値で与えられたパルス幅で発生し、カソード電極にカソード電圧として印加する。1つのカソード電極には多数のゲート電極が配置されているので、ゲート電極に一定に電圧を与えて、ゲート電極を順に走査するとカソード電極から流れるカソード電流は変動する。そこで、この電流のばらつきが最小になるようにパルス幅を操作してカソード電圧を調整する。これをすべてのカソード電極で行うと、各カソード電極からのカソード電流が求められる。さらに、これから得られたカソード電流を平均化して各カソード電流が均一になるようにパルス幅を微調整してカソード電圧を再調整する。以上の動作で、カソード電圧設定のパルス幅が決定される。

なお、さらなる輝度ムラ等の補正は、ゲート電極の感度補正で行う。

ゲート電極駆動部(12)は、コンプリメント接続された極性の異なる2つの半導体を有しており、ゲート電極の選択はベース接地の半導体を制御することで行われている。図10は、ゲート電極駆動部(12)の構成を、図11は、その動作を表し

たタイムチャートを示している。

ゲート電極駆動部(12)は、図10に示すように、映像増幅用半導体(61)と、ゲート選択制御用半導体(62)と、ベース接地の半導体(63)と、映像増幅用半導体(61)と極性の異なるコンプリメント接続形成用半導体(64)とを有している。

この動作は、次のようになる。

ゲート選択信号がゲート選択制御用半導体(62)に入力されると、ゲート選択制御用半導体(62)は遮断される。すると、ベース接地の半導体(63)がベース接地で作動する。ここに、映像信号が映像増幅用半導体(61)に入力されると、反転増幅された信号はベース接地の半導体(63)を通過して、コンプリメント接続形成用半導体(64)に到達する。コンプリメント接続形成用半導体(64)は、映像増幅用半導体(61)と極性が異なるので、直流バイアスは除去される。結果、映像信号は反転されてゲート電極に供給される。ここで、ゲート選択信号がなくなると、ゲート選択制御用半導体(62)が作動して、ベース接地の半導体(63)を遮断する。すると、ベース接地の半導体(63)の出力がゲート駆動電源と同電位になり、コンプリメント接続形成用半導体(64)が遮断される。結果、ゲート電極への出力が失われる。

この特徴は、次のようになる。

(1) ゲート電極の選択は、映像増幅回路のベース接地の半導体を作動・非作動の状態で行うために、ベース接地作動電源の制御となる。これは、低圧で制御できることとなる。

(2) ゲート電極の非選択時にゲート電極が無電圧状態となり、電子放出の恐れがない。

(3) 映像信号の入力用半導体に電界効果半導体を用いれば、ゲート電極の多段並列接続でも、入力インピーダンスの低下が緩和される。

ゲート電極の特性補正部(28)は、多数のゲート電極の特性
5 補正をゲート選択と同期させて、R・G・Bの色差信号と輝度信号を個々に電圧制御増幅器を用いて、電圧で利得制御して特性補正を行おうとするものである。

特性補正部(28)は、図12に示すように、色差補正データをアナログ値に変換するD/A変換器(71)と、輝度補正データ
10 タをアナログ値に変換するD/A変換器(72)と、色差信号の電圧制御増幅器(VCA)(73)と、輝度信号の電圧制御増幅器(VCA)(74)と、色差信号および輝度信号の加算器(75)とを有している。

この動作は、次のようになる。

15 ゲート選択と同期させて、色差補正データおよび輝度補正データを対応するD/A変換器(71)(72)でそれぞれD/A変換する。D/A変換されたアナログ値は、色差信号の電圧制御増幅器(73)および輝度信号の電圧制御増幅器(74)に入力される。すると、各電圧制御増幅器(73)(74)は、入力されたアナログ値に応じて利得を変化させる。そして、各々の電圧制御増幅器(73)(74)の出力が加算器(75)で加算される。結果、
20 補正された映像信号が得られる。

この特徴は、次のようになる。

(1) 特性補正データは、デジタル量で与えるので、補正值
25 の修正・変更は、データテーブルの内容を更新すればよく、操作性が高い。

(2) 特性補正は、色差と輝度が分離されているので、特性補正が容易である。

(3) 特性補正は、連続して行えるので、補正不良が見つかりやすい。

- 5 特性補正データ抽出手法例を次に示す。特性補正データは、電気特性と発光特性から抽出する。

電気特性は、カソード電流を測定して電子放出量を揃える補正データを抽出する。図13に、カソード電流測定法の例を示す。カソード電流測定手段は、カソード電極数用意されてカソード電圧制御部(10)の電流検出端子(41)(図6参照)からのカソード電流を増幅して電圧値に変換する計装増幅器(81)と、電圧変換されたカソード電流値を合成する加算器(82)と、アナログ量をデジタル量に変換するA/D変換器(83)と、デジタル変換されたカソード電流値を記憶するメモリー(84)とを有している。

この動作は、次のようになる。

ゲート電極に一定の信号を与えて、ゲート電極を順次選択走査する。すると、カソード電極は常に1つだけ選択されているために、カソード電流として、選択されたゲート電極に対応したカソード電流が得られる。これをA/D変換するとデジタル量のカソード電流値となる。この得られたデジタル値をメモリーに記憶させると、1つのカソード電極に配置されたゲート電極の電流分布が求められる。つまり、1つのカソード電極上にあるゲート電極の電気特性が得られることになる。これをすべてのカソード電極について行くと、ゲート電極の電気特性が得られる。これより、このデータをデータ

テーブルに反映させると、特性補正が行える。

発光特性は、カラーアナライザーで発光輝度を測定して補正データを抽出すればよい。発光させた状態で、光学センサーにより輝度測定を行い補正データを抽出するようにしても
5 よい。いずれの場合でも、測定は、普遍化されたデータを得るために市販の測定器を用いて行うことが好ましい。

産業上の利用可能性

CNT（カーボンナノチューブ）を用いるFED（電界放
10 出型ディスプレイ）の制御回路として使用された場合に、FED素子の特性のバラツキを補正して、高電圧用制御部品の使用を少なくすることができ、これにより、FEDの低ノイズ化、小型化および低コスト化を可能とすることができる。

請求の範囲

1. マトリクス状に配列された複数のカソード電極およびゲート電極と、カソード電極およびゲート電極の交点にそれぞれ配置されたエミッタと、カソード電極に対向するように設けられた蛍光体およびアノード電極とを備えている電界放出型ディスプレイの電極電圧を制御するFED制御回路において、

カソード電極からの電子放出が均一となるようにカソード電極を制御するカソード電圧制御部と、ゲート電極の電圧を映像信号に応じて変化させるゲート電極駆動部とを備えていることを特徴とするFED制御回路。

2. カソード電圧制御部は、コンデンサを定電流で充電するとともに、充電時間を制御することにより各画素のカソード電圧を決定するものであることを特徴とする請求項1に記載のFED制御回路。

3. コンデンサの充電時間は、パルス幅によって制御されていることを特徴とする請求項2に記載のFED制御回路。

4. ゲート電極駆動部は、コンプリメント接続によってゲート電極のON/OFF制御を行うものであることを特徴とする請求項1から3までのいずれか1項に記載のFED制御回路。

5. ゲート電極毎のばらつきをデータテーブルにより連続的に補正する特性補正部をさらに備えている請求項1から4までのいずれか1項に記載のFED制御回路。

Fig. 1

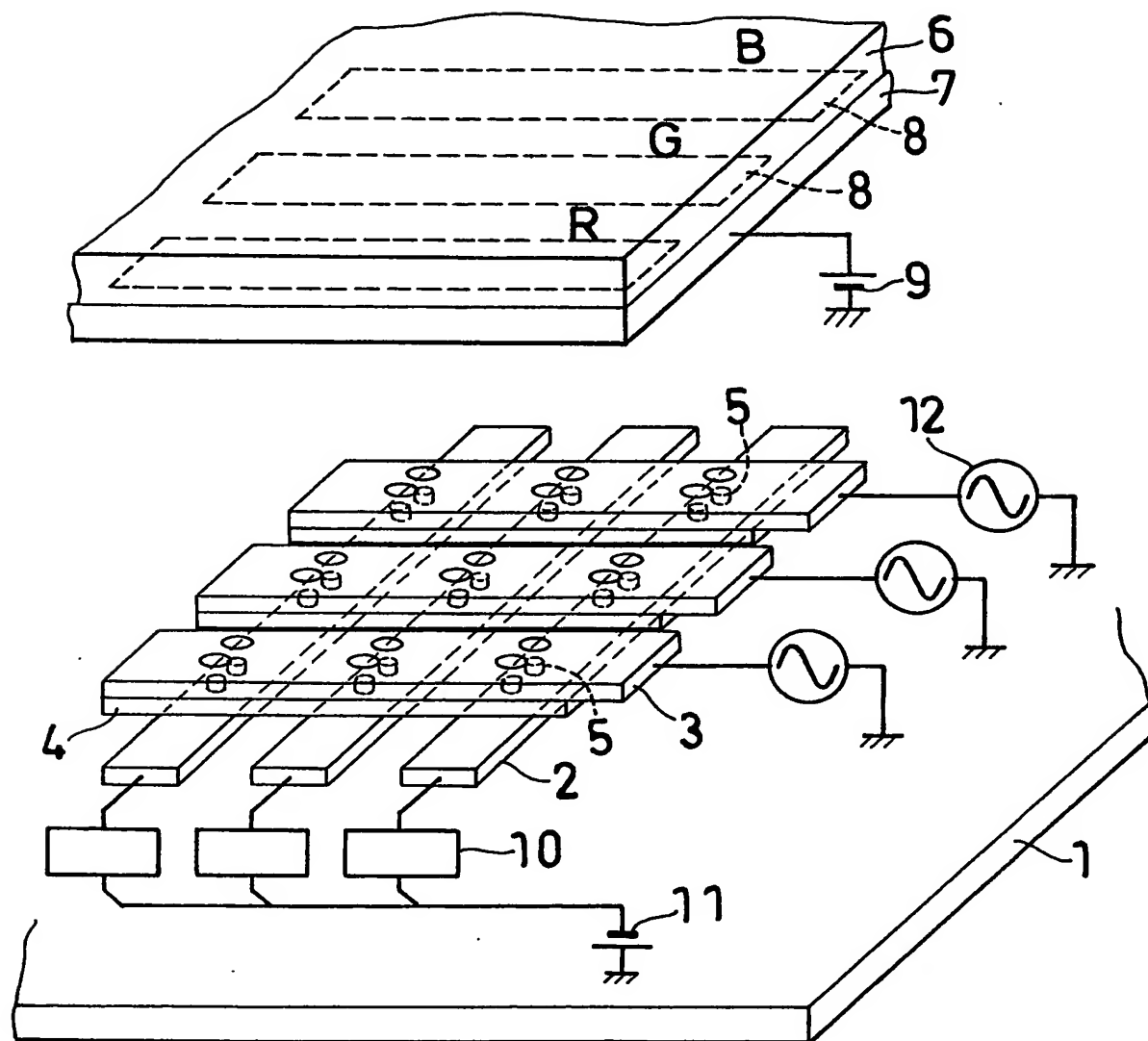


Fig. 2

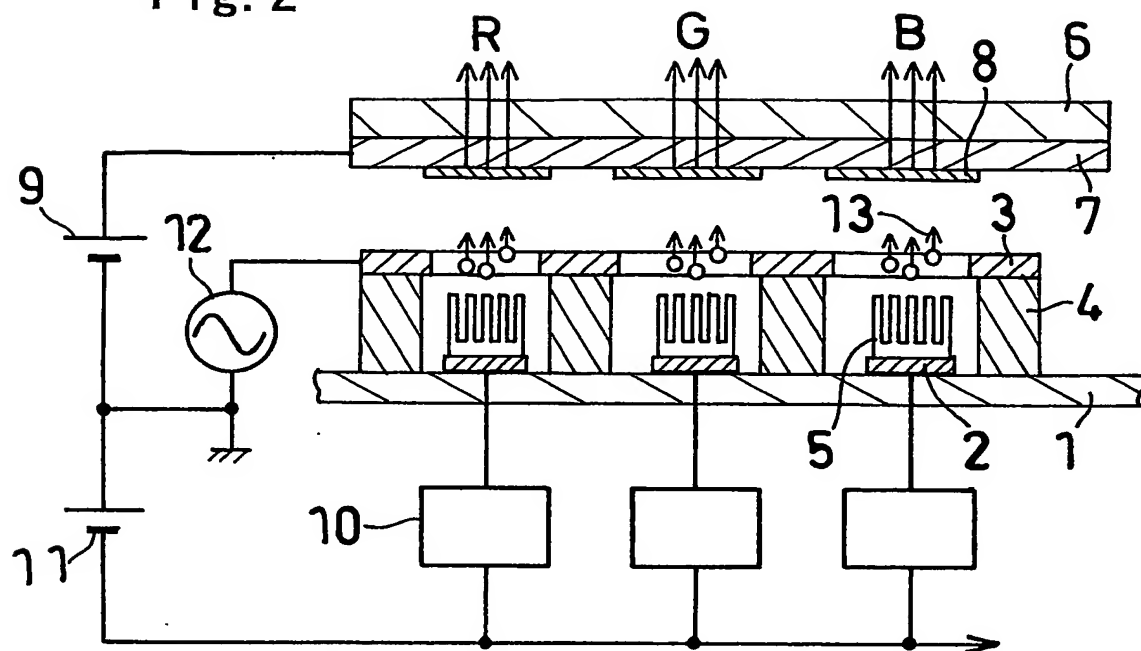
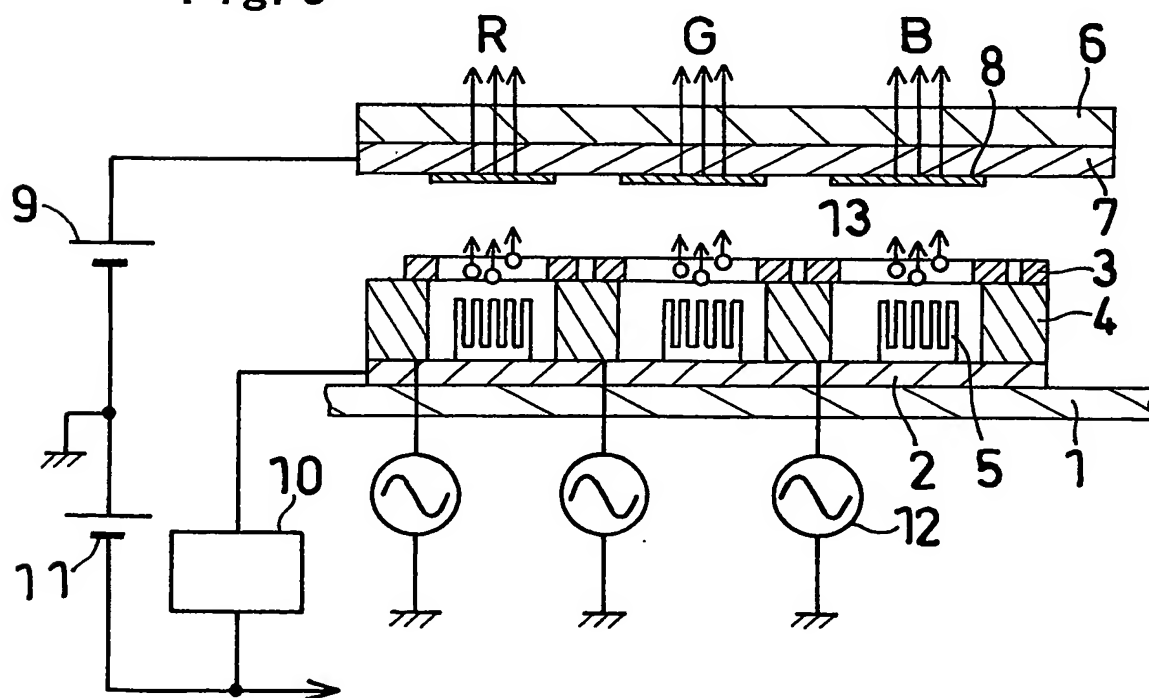


Fig. 3



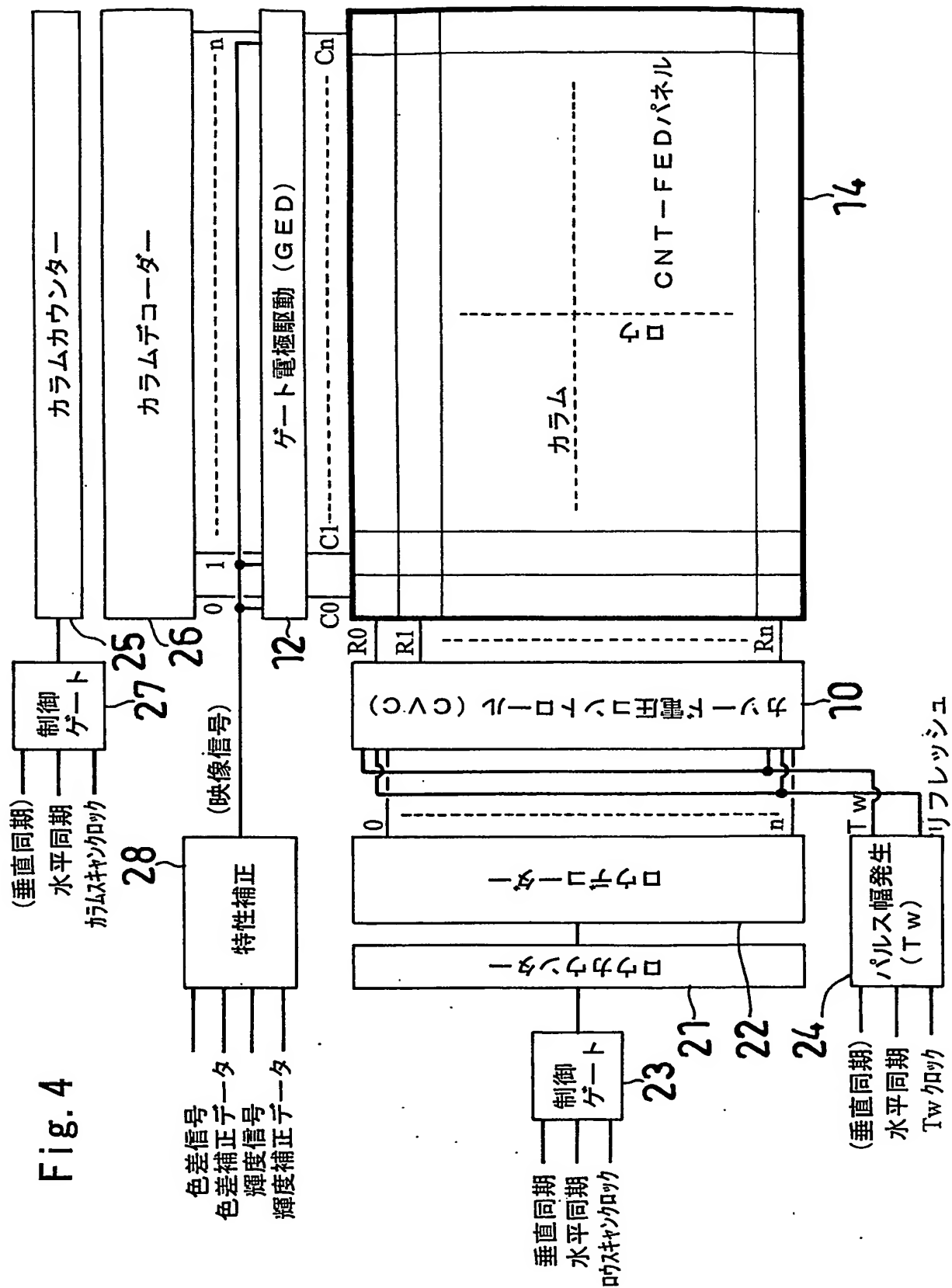
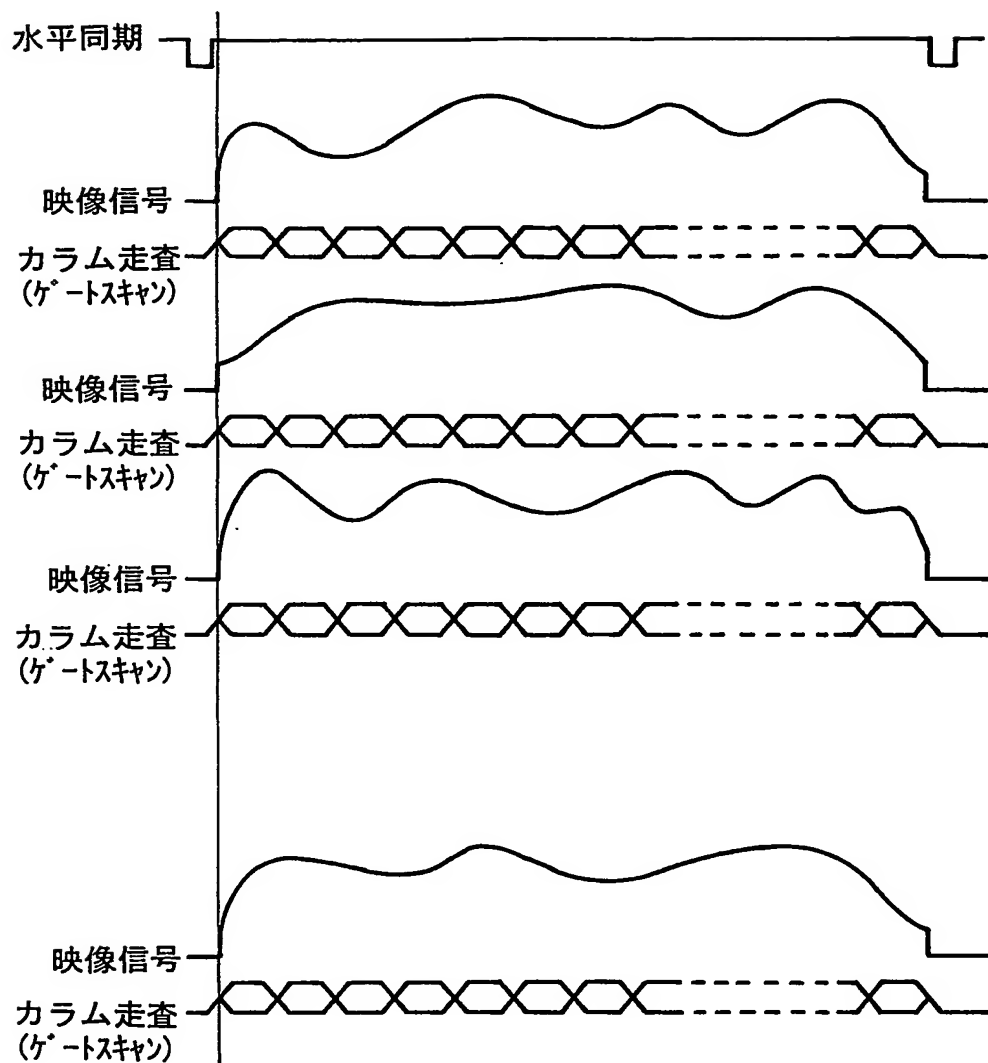


Fig. 5 (a)



(b)

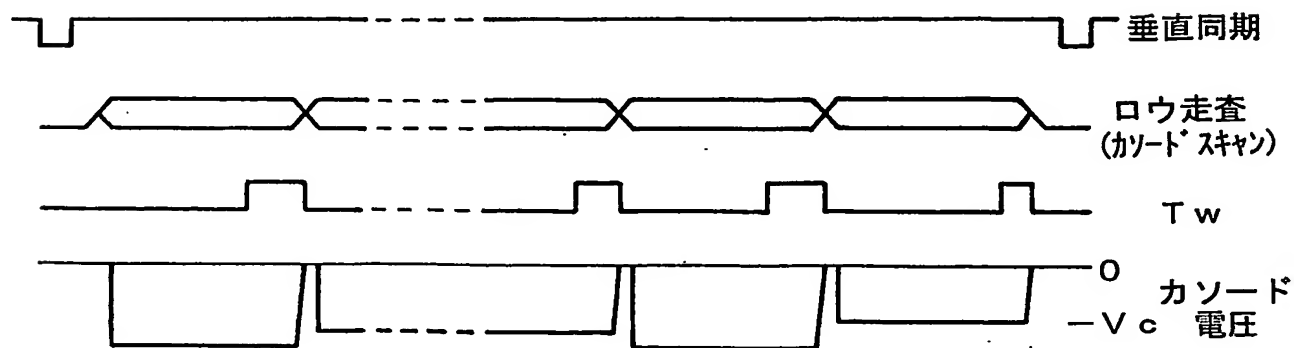


Fig. 6

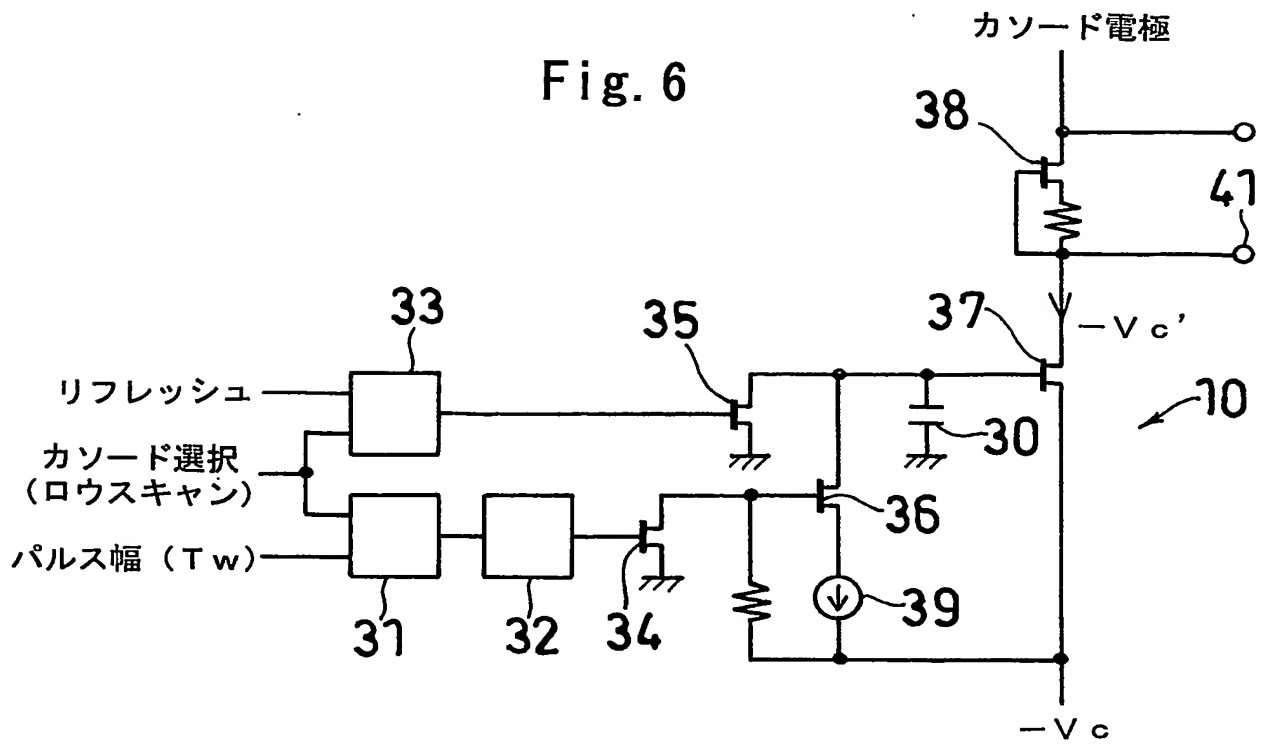


Fig. 7

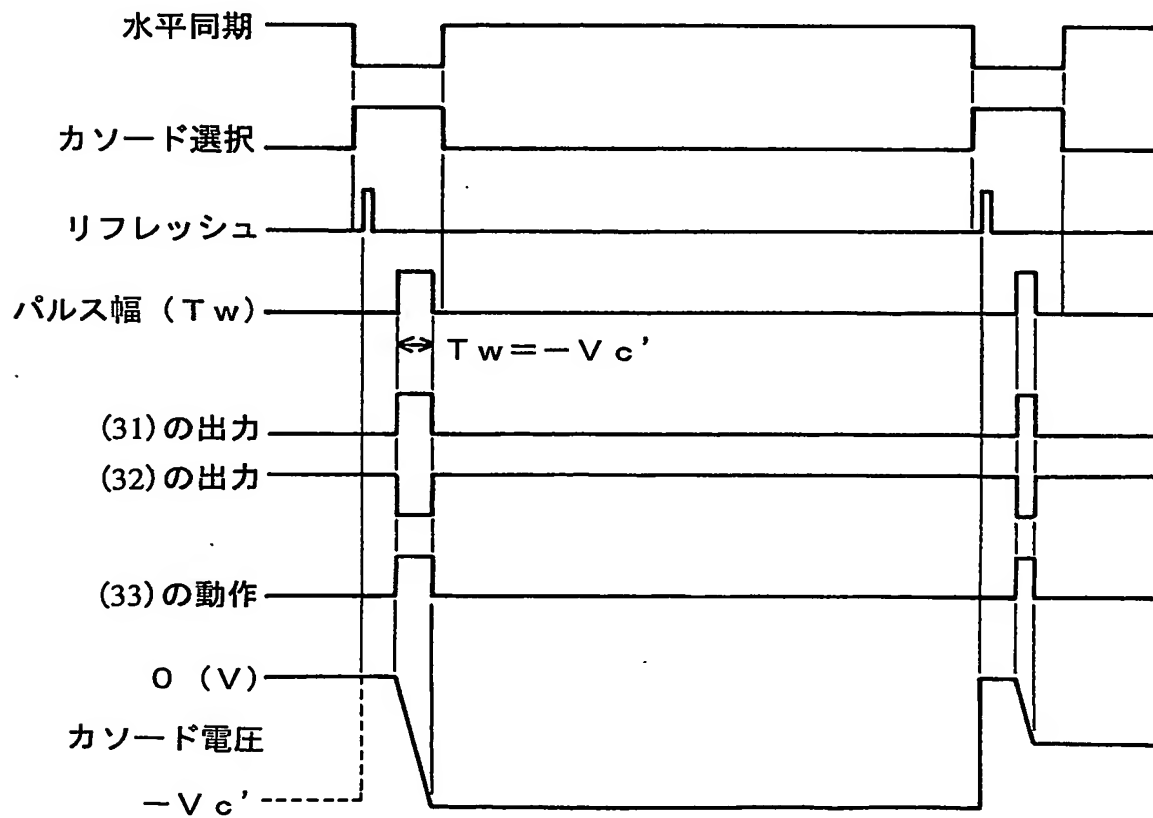


Fig. 8

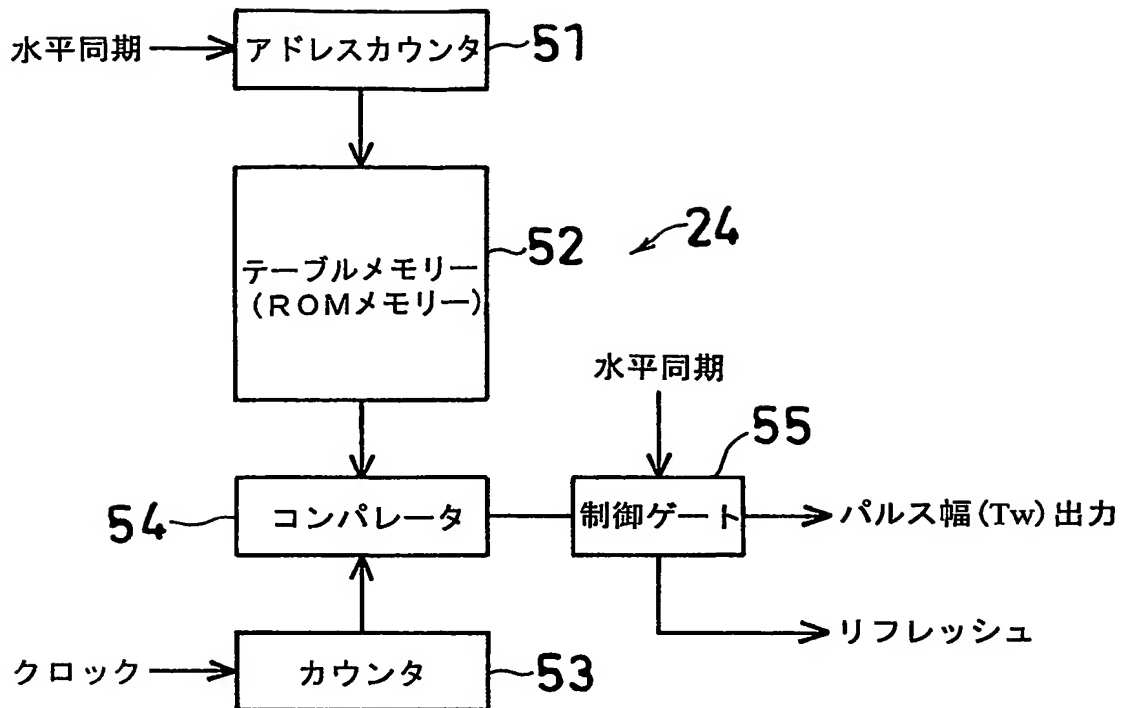


Fig. 9

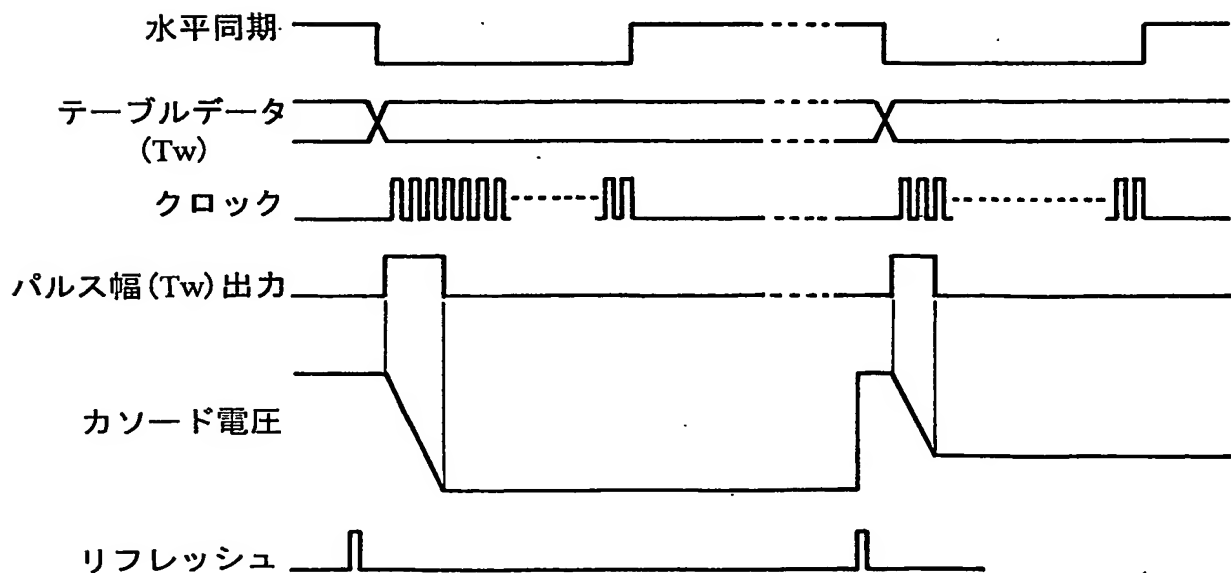


Fig. 10

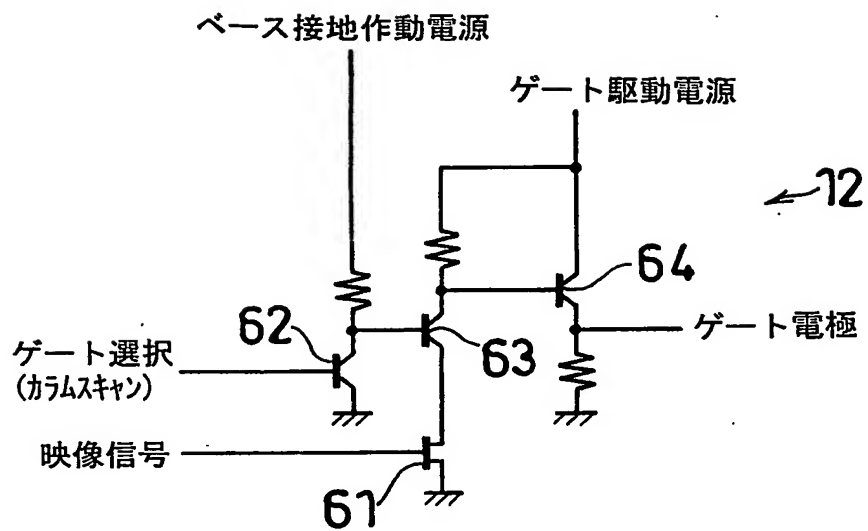


Fig. 11

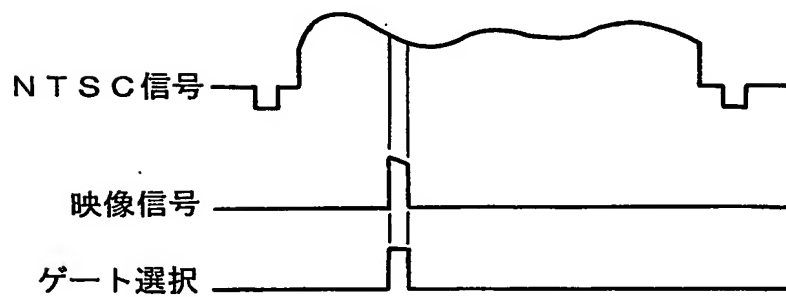


Fig. 12

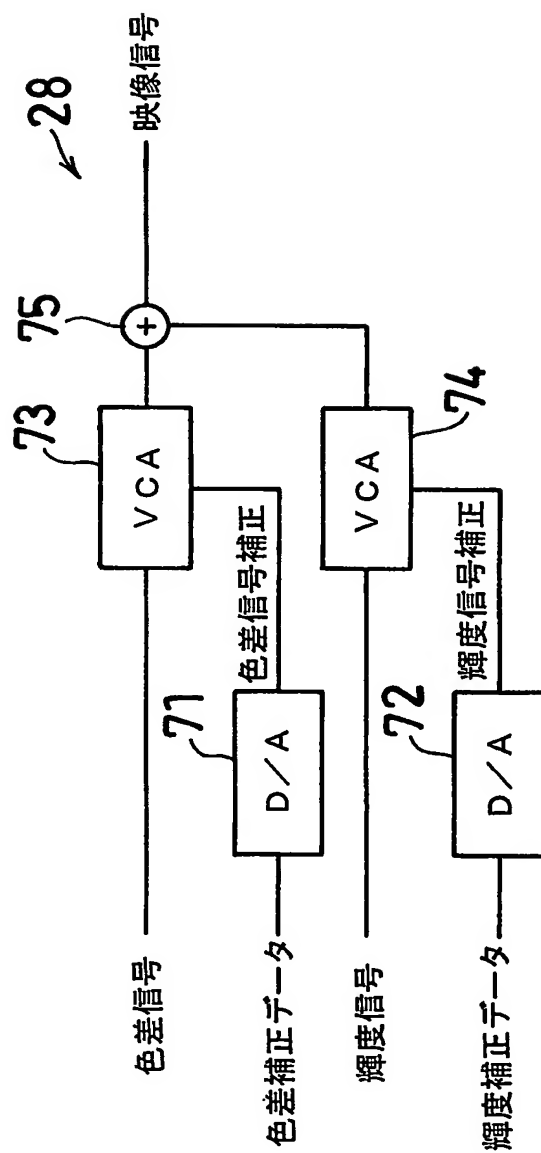
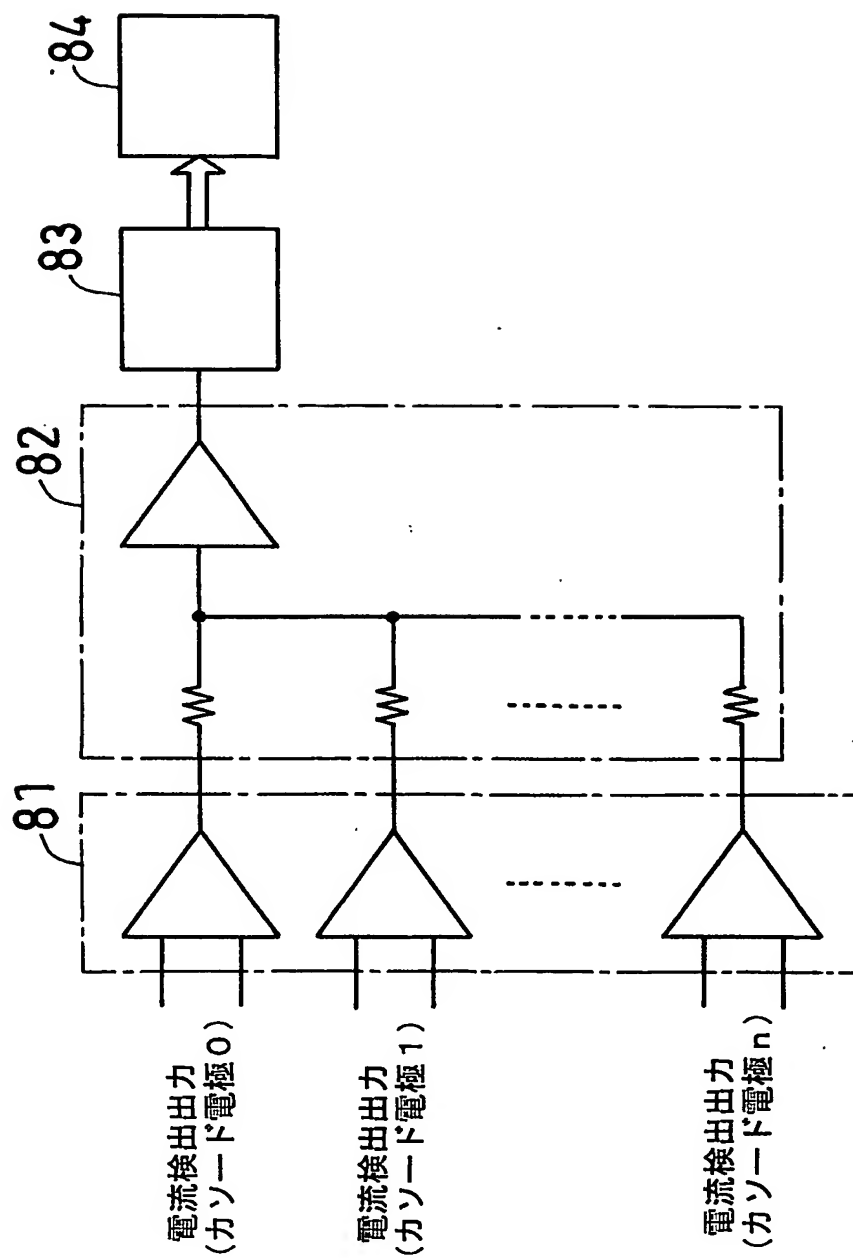


Fig. 13



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/12763

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/22, 3/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G09G3/20-3/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-109913 A (Canon Inc.), 23 April, 1999 (23.04.99), Par. Nos. [0035] to [0054]; Figs. 2 to 3 (Family: none)	1, 4-5 2-3
Y	JP 7-181916 A (Futaba Corp.), 21 July, 1995 (21.07.95), Par. Nos. [0017] to [0021]; Fig. 1 (Family: none)	1, 4-5
Y	JP 2003-248452 A (National Institute of Advanced Industrial Science and Technology), 05 September, 2003 (05.09.03), Par. Nos. [0016] to [0017]; Fig. 1 (Family: none)	5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search
09 December, 2003 (09.12.03)

Date of mailing of the international search report
24 December, 2003 (24.12.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/12763

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-223148 A (NEC Kansai, Ltd.), 08 August, 2003 (08.08.03), Par. Nos. [0019] to [0020]; Fig. 1 (Family: none)	1
A	JP 2003-29697 A (Canon Inc.), 13 January, 2003 (31.01.03), Par. Nos. [0204] to [0208]; Fig. 14 & EP 1258907 A2 & CN 1396616 A	1
A	JP 2003-36050 A (Canon Inc.), 07 February, 2003 (07.02.03), Full text; all drawings (Family: none)	1, 4-5

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.Cl⁷ G09G 3/22, 3/20

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int.Cl⁷ G09G 3/20-3/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2003年
日本国実用新案登録公報 1996-2003年
日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 11-109913 A (キヤノン株式会社) 1999.04.23, 段落【0035】-【0054】 【図2】-【図3】 (ファミリーなし)	1, 4-5 2-3
Y	JP 7-181916 A (双葉電子工業株式会社) 1995.07.21, 段落【0017】-【0021】 【図1】 (ファミリーなし)	1, 4-5

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

09.12.03

国際調査報告の発送日

24.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏



2G

9308

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2003-248452 A (独立行政法人産業技術総合研究所) 2003. 09. 05, 段落【0016】-【0017】 【図1】 (ファミリーなし)	5
A	J P 2003-223148 A (関西日本電気株式会社) 2003. 08. 08, 段落【0019】-【0020】 【図1】 (ファミリーなし)	1
A	J P 2003-29697 A (キャノン株式会社) 2003. 01. 31, 段落【0204】-【0208】 【図14】 & E P 1258907 A2 & C N 1396616 A	1
A	J P 2003-36050 A (キャノン株式会社) 2003. 02. 07, 全文, 全図 (ファミリーなし)	1, 4-5